

BAB II

TEORI DASAR

Akuisisi data ^[8] adalah suatu proses bagaimana cara memindahkan sinyal analog dalam bentuk tegangan atau arus yang mewakili besaran fisis kedalam komputer untuk keperluan pengolahan, analisa dan penyimpanan data.

Penulisan tugas akhir ini membahas akuisisi data seismik hasil pemantauan secara telemeteri dengan memanfaatkan program aplikasi *LabVIEW*. Untuk mendukung penulisan tugas akhir, selain akuisisi data yang merupakan pokok bahasan utama, juga akan dibahas beberapa pokok bahasan yang mendukung proses akuisisi data.

2.1. Kode Digital

Sistem digital terdiri dari bermacam-macam gerbang logika dasar (AND, OR NOT dan kombinasinya). Ketiga jenis gerbang logika dasar ini dapat dianalogikan berupa cara kerja saklar. Sistem digital hanya mempunyai dua kondisi yaitu ON = 1 (High) dan OFF = 0 (LOW). Pada bilangan digital terdapat bit yang paling berarti atau MSB (Most significant bit) dan bit terendah atau LSB (Low significant bit).

Salah satu faktor penting dalam instrumentasi digital adalah resolusi ^[2]. Resolusi dibutuhkan untuk menentukan jumlah bit yang dibutuhkan pada konversi tegangan analog ke dalam nilai digital yang mewakili nilai tegangan analog. Resolusi diberikan dalam bentuk

persamaan $R = \frac{1}{C}$. Untuk bilangan digital 8 bit resolusi sebesar $R = \frac{1}{225}$ atau 0,392% dari skala penuh.

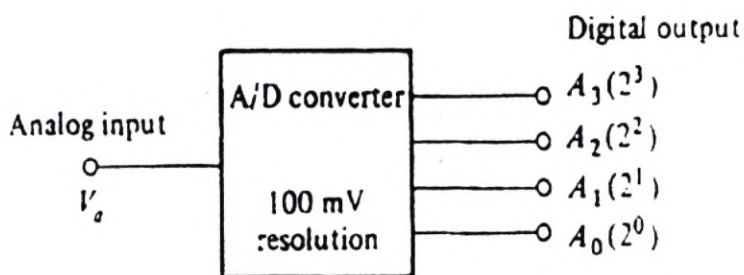
2.2. Proses Konversi

Dalam sistem digital dikenal suatu perangkat yang disebut *encoder* yang berfungsi merubah sinyal analog menjadi sinyal digital dan proses untuk mengubah sinyal digital menjadi sinyal analog disebut *decoder*^[7].

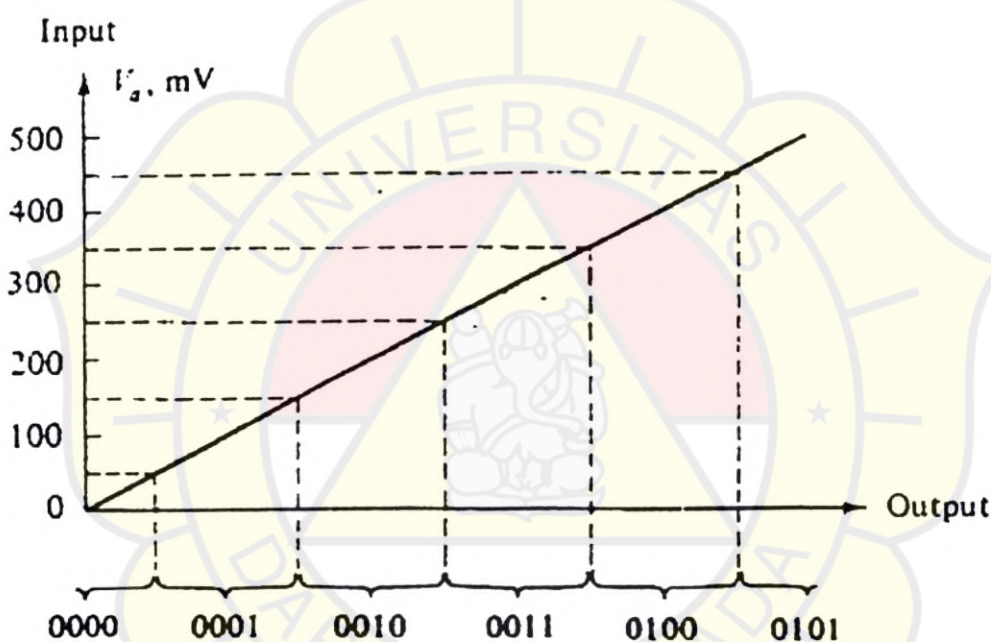
Pengubah sinyal analog ke sinyal digital (ADC) merupakan operasi perbandingan sinyal input analog (V_i) dengan sinyal referensi (V_{ref}), sehingga membentuk fraksi. Fraksi ini mewakili tegangan output digital yang dikodekan. Semua tegangan analog antara nol sampai skala penuh harus dikuantisasi dengan membagi range tegangan kedalam subrange. Kuantisasi nilai analog dirumuskan sebagai berikut^[2] :

$$Q = \text{LSB} = \frac{\text{atau skala penuh}}{2^n} \dots\dots\dots(2.1)$$

Pada rangkaian ADC, antara tegangan input analog (V_{in}) dan tegangan output digital (V_o) dapat terjadi perbedaan range pada nilai inputnya, seperti pada gambar dibawah ini.



Gambar 2.1.a. Simbol ADC 4 bit



gambar 2.1.b. Kuantisasi error ADC

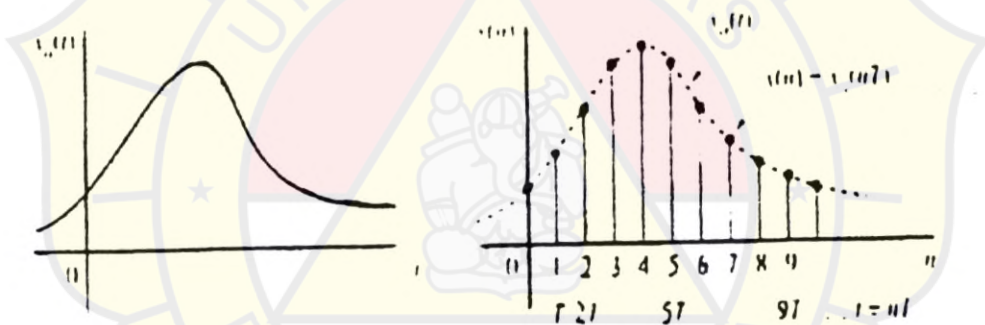
Dari gambar diatas ADC memiliki resolusi $\frac{1}{100} mV = 0.01 mV$. Dari

gambar diatas dapat diketahui bahwa semua tegangan analog antara 50 mV dan 150 mV menghasilkan tegangan keluaran digital 0001, antara 150 mV dan 250 mV menghasilkan 0010 dan seterusnya. Bila tegangan digital 0011 dijadikan sebagai masukan bagi rangkaian DAC, maka tegangan

keluaran dari DAC sebesar 300 mV. Meskipun demikian tegangan input analog orisinil diantara 250 mV dan 350 mV, maka kesalahan kuantisasi sebesar ± 50 mV atau ± 0.5 LSB.

2.3. Teknik Sampling

Proses sampling adalah proses pengambilan sampling dari besaran analog pada titik tertentu secara periodik dan berurutan, dengan syarat hasil besaran analog yang disampling dapat dikembalikan dalam bentuk semula ^[2].



Gambar 2.2 . Pensamplingan sinyal analog

Dari gambar diatas didapat hubungan antara sinyal analog (X_a) dengan sinyal diskrit (X_n) yaitu :

$$t = nT = \frac{n}{F_s} \quad (2.2)$$

Syarat dalam sampling atau pencuplikan adalah frekuensi sampling harus dua kali lebih besar dari frekuensi maksimum dari sinyal yang akan di cuplik. Sesuai dengan syarat *Nyquist* yaitu ^[1]:

$$F_s = 2 \cdot f \text{ maksimum} \quad (2.3)$$

Dan waktu konversi maksimum adalah $T_s = \frac{F_{maks}}{2}$. Dalam pengambilan sampling sinyal analog, untuk mendapatkan sinyal diskrit yang mempunyai kondisi yang sama dengan sinyal yang disampling, maka sinyal analog harus disampling pada sepuluh titik sampling atau lebih selama satu perioda [2]. Sebagai ilustrasi untuk peristiwa aliasing adalah sebagai berikut :

Misalkan dua buah sinyal analog dengan persamaan dengan persamaan ⁽¹⁾ :

$V1(t) = \text{Cos } 2\pi 10(t)$ dan $V2(t) = \text{Cos } 2\pi 50(t)$ Kedua sinyal ini disampling pada laju $F_s = 40\text{Hz}$, jika ADC memiliki frekuensi sampling F_s , maka didapat hubungan antara t sinyal analog dan T sinyal diskrit yaitu :

$$t = nT = \frac{n}{F_s} \text{ dengan } n = 0, 1, 2, \dots \quad (2.4)$$

Dengan mensubstitusikan persamaan (2.4) ke dua sinyal diatas maka :

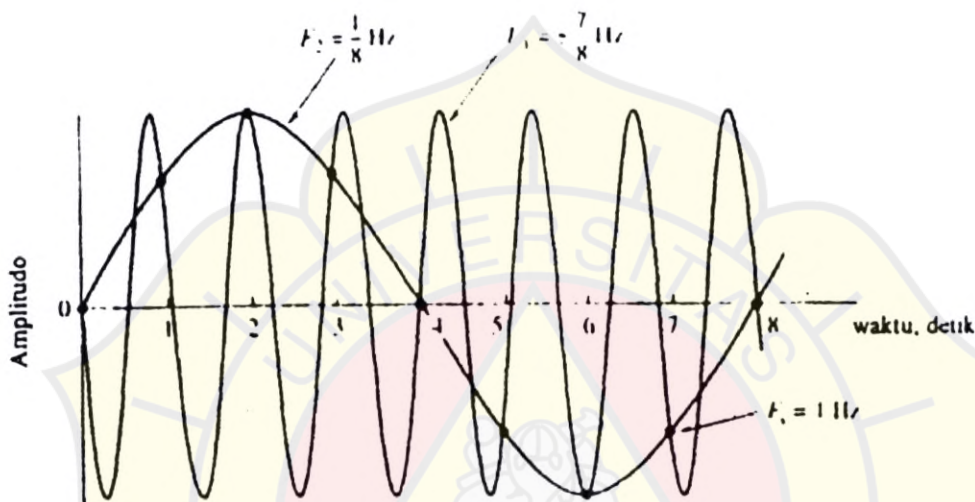
$$V1(n) = \text{Cos } 2\pi \frac{10}{40} n = \text{Cos } \frac{\pi}{2} n$$

$$V2(n) = \text{Cos } 2\pi \frac{50}{40} n = \text{Cos } \frac{5\pi}{2} n$$

$$\text{Namun karena } \text{Cos } \frac{5\pi}{2} n = \text{Cos}(2\pi + \frac{\pi}{2})n = \text{Cos } \frac{\pi}{2} n$$

Maka $V2(n) = V1(n)$. Jadi kedua sinyal sinusoidal adalah identik dan konsekwensinya tidak dapat dibedakan.

Jika frekuensi sinyal analog $f = f_s / 2$, maka akan terjadi peristiwa aliasing, yang menghasilkan sinyal yang berbeda dari sinyal analog asli. Sehingga bila ingin mencuplik sinyal seismik yang terletak antara range 0.01 Hz sampai dengan 25 hz, maka frekuensi maksimum pencuplikan yang dibutuhkan adalah sebesar 50 Hz.

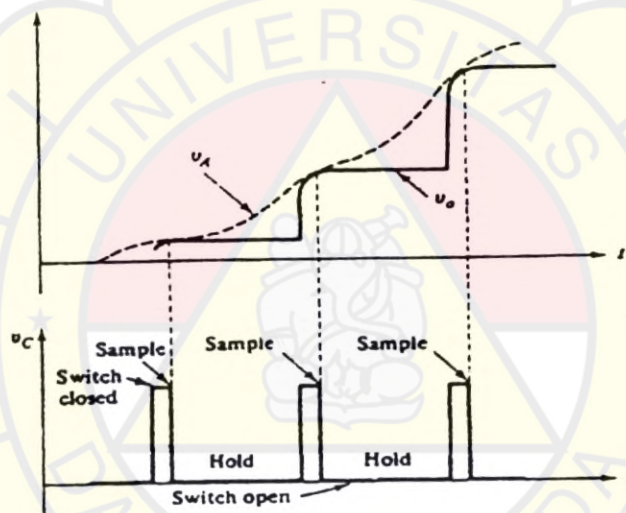
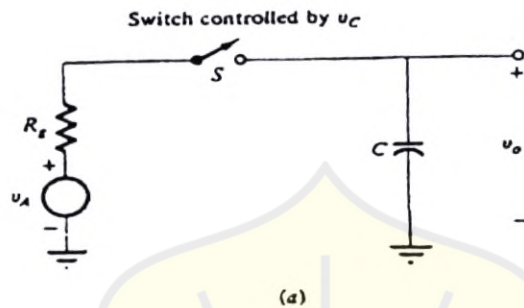


Gambar 2.3. Bentuk aliasing sinyal sinus

2.4. Rangkaian Sample and Hold

Rangkaian sample and hold digunakan untuk mencuplik sinyal analog pada waktu tertentu dan menahan harga dari pencuplikan selama waktu yang dibutuhkan. Harga pencuplikan dan durasi penggemaman (*hold*) ditentukan oleh sinyal kontrol logika ^[6].

Sebagian besar rangkaian sample and hold menggunakan kapasitor untuk menyimpan atau menggenggam (*hold*) tegangan cuplikan (*sample*). Seperti diperlihatkan pada gambar dibawah ini :

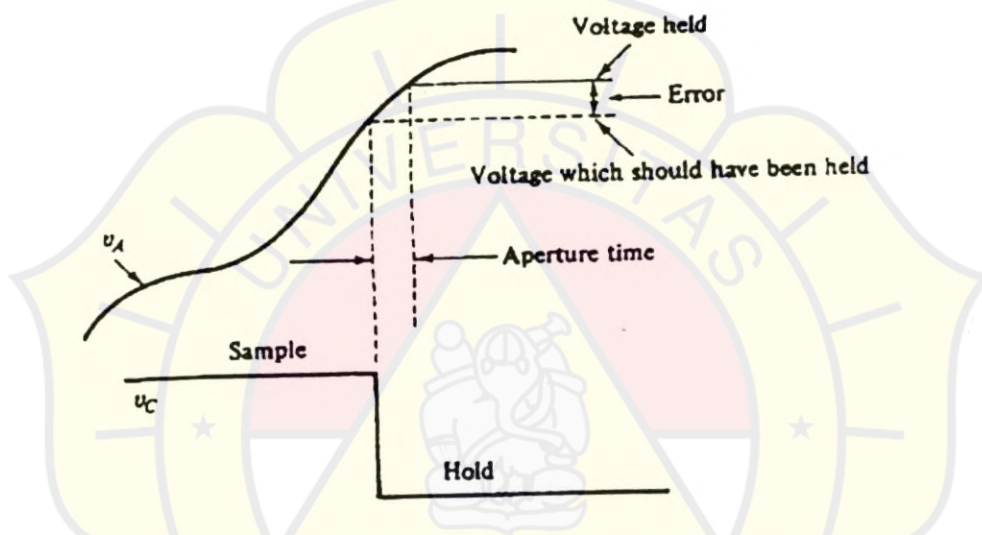


Gambar 2.4. Rangkaian sample dan hold dan bentuk sinyal

Pada gambar 2.4. diatas , dengan V_A sebagai sumber tegangan analog dan R_g sebagai impedansi internal. Saklar akan menutup ketika sinyal kontrol logika V_C adalah tinggi (High) dan diasumsikan $R_g C$ konstanta waktu adalah sangat kecil, tegangan output akan mengikuti tegangan input dan akan sama pada waktu sinyal kontrol logika bernilai rendah (low) dan saklar akan terbuka . Selama interval *hold*, ketika sinyal kontrol logika

bernilai rendah (low), saklar akan terbuka dan kapasitor C akan menahan harga tegangan input yang terakhir.

Dalam kenyataannya, saklar elektronik dan kapasitor tidaklah sempurna. Berdasarkan spesifikasi manufaktur untuk ADC dikenal *aperture time* dan *acquisition time* ^[6]. *Aperture time* adalah harga tunda maksimum antara waktu yang dibutuhkan rangkaian kontrol logika untuk membuat kondisi saklar menjadi terbuka (*open*).

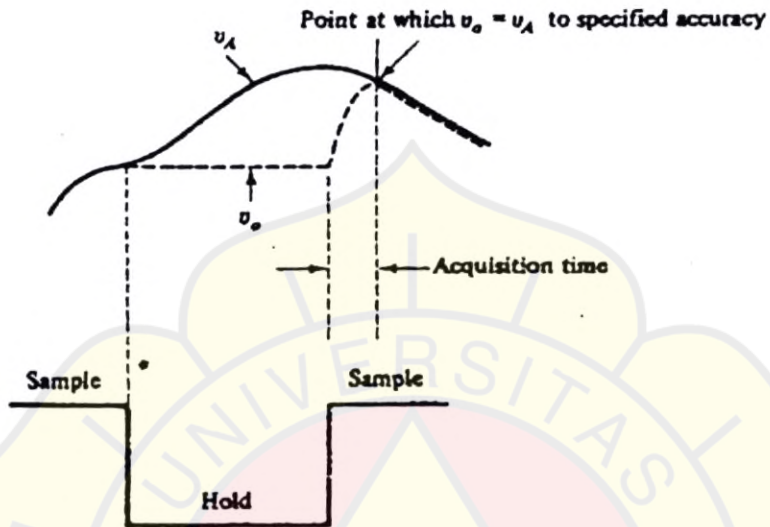


Gambar 2.5. Aperture time dan pengaruhnya

Dari gambar 2.4. diketahui terjadi kesalahan / ketidakpastian (*error / uncertainty*) akibat peristiwa *aperture time*. Untuk nilai *aperture time* ditentukan dari jenis komponen pengganti switch. Untuk orde millisecond, saklar dapat berupa relay. Untuk orde lebih kecil dari 1 nS saklar dapat berupa saklar dioda jenis cepat.

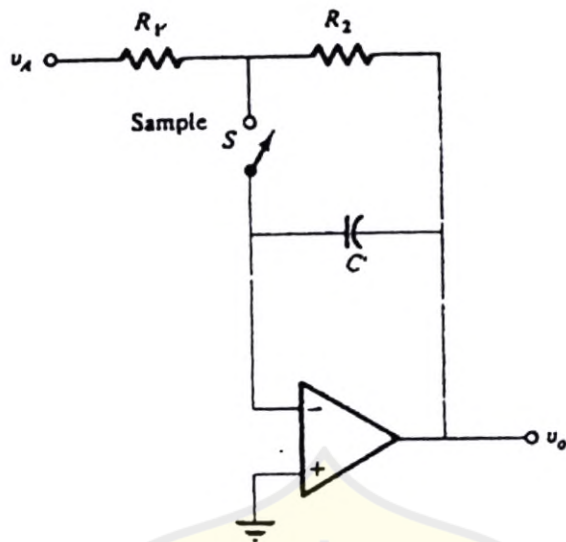
Karena sinyal input berubah-ubah selama periode pencuplikan, dibutuhkan waktu tertentu sebelum sinyal output diidentifikasi sebagai sinyal input. Waktu akuisisi (*Acquisition time*) adalah waktu terpendek

setelah perintah *sample and hold* yang menghasilkan sinyal output mendekati atau hampir sama nilainya dengan sinyal input dengan tingkat akurasi yang dibutuhkan.



Gambar 2.6. Waktu akuisisi

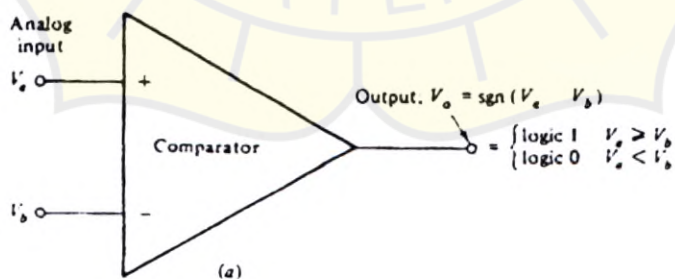
Rangkaian *sample and hold* dibuat dari penguat operasional (*Op - amp*) untuk memenuhi nilai impedansi yang rendah pada rangkaian driver dan impedansi output yang tinggi pada outputnya. Contoh rangkaian paraktis *sample and Hold* seperti dibawah ini :



Gambar 2.7. Rangkaian *Inverting Sample - Hold*

2.5. Rangkaian Pembanding (*Comparator*)

Semua jenis rangkaian ADC memerlukan rangkaian pembanding analog (*Analog Comparator*)^[6]. Rangkaian pembanding berfungsi untuk membandingkan dua buah sinyal tegangan input dan tegangan output berupa tegangan dalam bentuk biner.



Gambar 2.8. Rangkaian Komparator

Rangkaian akan membandingkan dua buah tegangan analog V_a dan V_b , jika $V_a > V_b$, tegangan keluarannya bernilai 1 (High) begitu pula sebaliknya.

2.6. Rangkaian pengubah analog ke digital (ADC)

Dalam sistim akuisisi data, perangkat keras yang digunakan untuk mengubah data sinyal seismik yang berupa sinyal analog menjadi data digital adalah perangkat pengubah analog ke digital. Berdasarkan cara kerjanya, pengubah analog ke digital diklasifikasikan menjadi :

- *Successive approximation*
- *Counter ADC*
- *Flash or Parallel ADC*
- *Dual slope ADC*

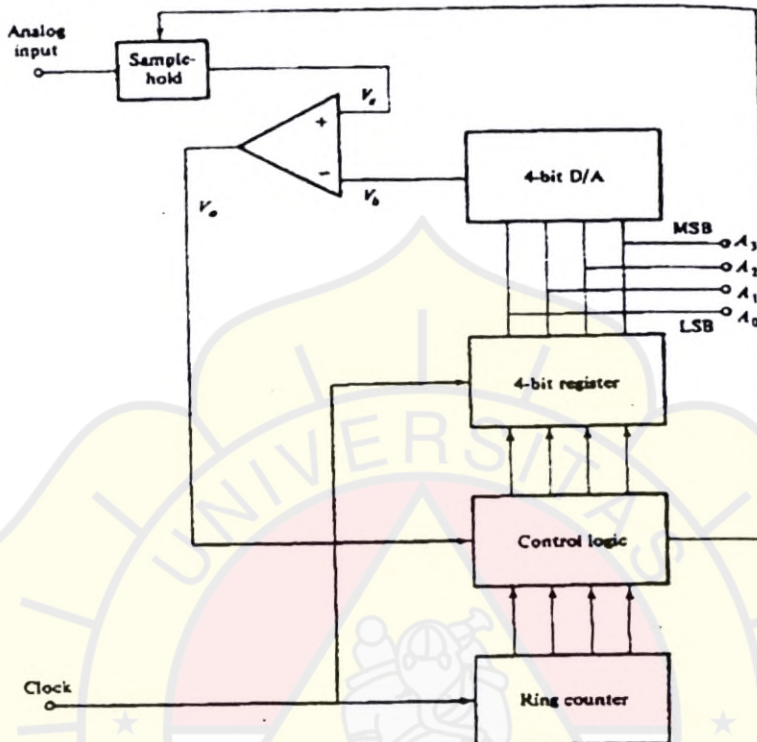
2.6.1. *Successive approximation*

ADC jenis *successive approximation* adalah ADC yang paling banyak di gunakan pada akuisisi data untuk data seismik.

ADC jenis pendekatan berturut-turut (*Successive Aproximation*) terdiri atas beberapa bagian yaitu ^[2] :

- Rangkaian pengubah digital ke analog (*DAC*) dan sumber tegangan Referensi.
- Rangkaian pembanding (*Comparator*).

- Rangkaian *sample and hold*
- Rangkaian *successive approximation register (SAR)* dan *Clock*



Gambar 2.9. ADC pendekatan berturut-turut

Pada metode pendekatan berturut-turut, tegangan bias (V_b) sebagai pendekatan terdekat terhadap tegangan analog yang tidak diketahui (V_u) yang dirumuskan dalam ^[2]:

$$V_b = V_u + \frac{\text{Skalapenuh}}{2^n + 1} \quad (2.5)$$

Pada DAC 4 bit, untuk mengkonversi tegangan input analog $V_u =$

$\frac{10}{16}$ skala penuh maka tegangan bias :

$$V_b = \left(\frac{10}{16} + \frac{1}{32} \right) \text{ skala penuh} = \frac{21}{32} \text{ skala penuh}$$

Tegangan bias V_b dibandingkan dengan tegangan referensi DAC. Tegangan input digital pada DAC secara berturut-turut akan diatur sehingga tegangan output DAC akan mendekati nilai tegangan bias V_b .

Pada waktu proses konversi dimulai, tegangan digital pada DAC akan di atur pada 1000 ($MSB = 1$, bit lain = 0), maka tegangan output analog $V_o = \frac{8}{16} \text{ skala penuh}$, sehingga perbandingan tegangan menunjukkan $V_o < V_b$. Karena pendekatan pertama besarnya dibawah V_b , MSB di set pada 1 dan bit ke 2 di set pada 1, menghasilkan tegangan input digital 1100, tegangan output pada pendekatan kedua sebesar $\frac{12}{16} \text{ skala penuh}$ dan nilai $V_o > V_b$ menyebabkan bit ke 2 diset pada 0. Pendekatan ketiga menyebabkan bit ke 3 diaktifkan (di set pada posisi 1), menghasilkan tegangan digital masukan sebesar 1011 dan $V_o = \frac{11}{16} \text{ dari skala penuh}$. Karena $V_o > V_b$, bit ke 4 dimatikan dan di set pada 0, sehingga pendekatan ke empat menghasilkan 1010 yang akan dijadikan sebagai tegangan input DAC.

Input pada DAC sebesar 1010, akan ditransfer ke output register ADC. Pada umumnya, ketidakpastian (*uncertainty*) pada proses konversi dapat terjadi bila V_u berbeda dengan harga biner. Untuk menentukan nilai ketidakpastian pada ADC dengan pendekatan sebanyak n yaitu :

$$V_o = V_b - \left[\frac{1}{2^n} \right] FSV \quad (2.6)$$

$$V_o = \frac{21}{32} - \frac{1}{16} = \frac{19}{32} = 0,59375 FSV$$

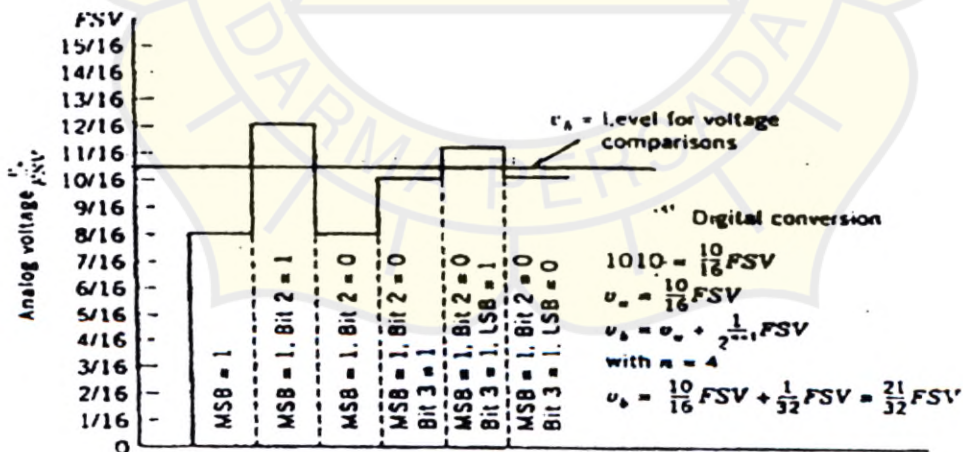
$$V_o = V_u - \left[\frac{1}{2^n + 1} \right] FSV \quad (2.7)$$

$$\frac{19}{32} = \frac{10}{16} - \frac{1}{32} = 0,625 - 0,03125$$

Perbedaan relatif antara V_u dan V_o dalam skala penuh adalah :

$$\frac{V_u - V_o}{FSV} = \frac{1}{2^{n+1}} \quad (2.8)$$

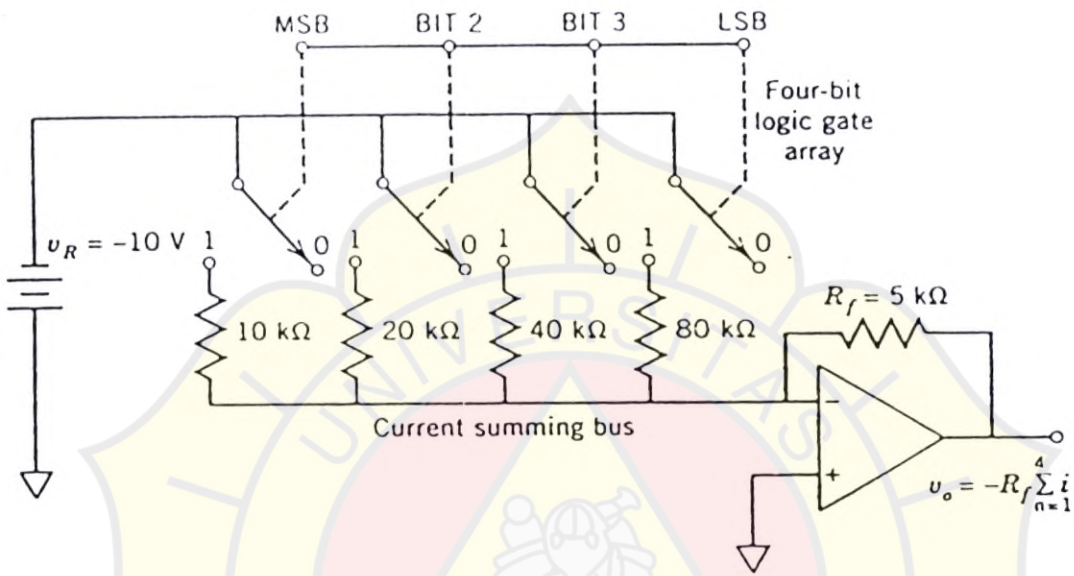
$$\frac{10 - 9,5}{16} = \frac{1}{32}$$



Gambar 2.10. Konversi dari analog ke digital

2.7. Pengubah digital ke analog (DAC)

Rangkaian DAC sederhana terdiri atas resistor network dan summing amplifier yang terdiri dari Operasional Amplifier^[7].



Gambar 2.9.2. Skema diagram pengubah digital ke analog 4 bit

Tegangan referensi V_r dihubungkan dengan resistor network melalui empat saklar. Saklar diumpamakan sebagai gerbang-gerbang logika. Nilai resistor R_n di rumuskan sebagai $R_n = 2^n \cdot R_f$ dimana^[7] :

R_n = resistor pada bit ke n

R_f = resistor feedback pada operational amplifier

Bila saklar berada pada posisi 1 (*close*) maka akan mengalir arus ke rangkaian *summing amplifier*. Besarnya arus adalah sebesar :

$$I_n = \frac{V_r}{R_n} = \frac{V_r}{2^n R_f}$$

Operasional amplifier akan merubah arus tersebut menjadi tegangan output V_o yang dinyatakan : $V_o = - R_f \cdot I_n$

Misalkan kode digital 1011 dengan $R_f = 5000$ ohm dan $V_R = 10V$, maka

arus yang mengalir $I_1 = 1mA$, $I_2 = 0,13 mA$, $I_3 = \frac{1}{4} mA$, dan $I_4 = \frac{1}{8} mA$.

Jumlah total arus 1,375 mA. Tegangan output V_o sebesar $I_n \cdot R_f = 1,375$

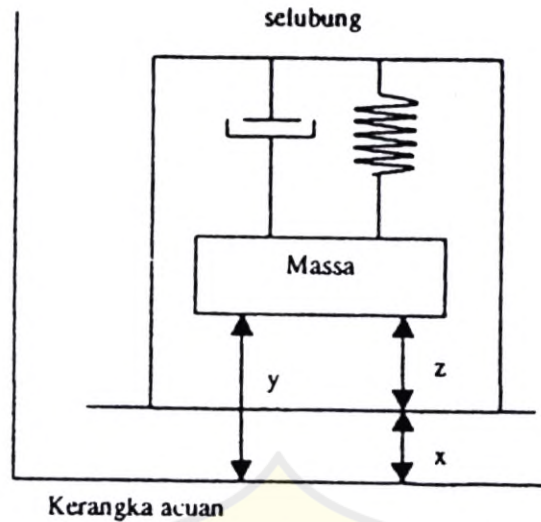
mA. 5000 ohm = 6,875 V yang merupakan fraksi sebesar $\frac{11}{16}$ dari skala

penuh.

2.8. Transducer

Untuk mengubah suatu besaran fisis (sinyal seismik) menjadi suatu sinyal listrik digunakan suatu komponen transducer. *Transducer* yang dimaksud adalah suatu *seismometer* yang berdasarkan prinsip kerja mekanik dan elektromagnetik ^[9].

Pada penerapannya seismometer merupakan transducer dengan prinsip elektromagnetik, yang terdiri dari massa magnet permanen (M) yang tergantung pada pegas dengan konstanta pegas (k) disertai redaman yang berguna untuk mengontrol respon disekitar frekuensi resonansi dan kumparan koil yang mampu menghasilkan sinyal listrik.



Gambar 2.12. Diagram dari *seismometer*

Berdasarkan gambar diatas bila :

X_1 = Perpindahan frame / tanah relatif terhadap ruang inersial (acuan)

X_0 = Perpindahan massa relatif terhadap ruang inersial (acuan)

$Y = X_0 - X_1$ = Perpindahan relatif massa terhadap frame / tanah

Berdasarkan hukum newton $F = \sum m.a$ maka dapat diturunkan

persamaan : $F = kX_1 + B\dot{X}_1$

Sehingga

$$m\ddot{X}_0 = F - kX_0 - B\dot{X}_0$$

$$= k(X_1 - X_0) + B(\dot{X}_1 - \dot{X}_0)$$

$$m(\ddot{Y} + \ddot{X}_1) = -kY - B\dot{Y}$$

$$m\ddot{Y} + B\dot{Y} + kY = -m\ddot{X}_1$$

Berdasarkan transformasi *laplace*:

$$ms^2Y + BsY + kY = -ms^2x$$

$$(ms^2 + Bs + k) = -ms^2x$$

$$\frac{Y}{X} = \frac{-ms^2}{ms^2 + Bs + k} = \frac{-s^2}{s^2 + \frac{B}{m}s + \frac{k}{m}}$$

$$V(t) = k Y(t)$$

$$V(s) = 10 \text{ volt/mm} \cdot Y(t) \text{ (mm)}$$

$$\frac{V}{Y} = 10 \text{ volt/mm}$$

$K = \text{sensitivitas sensor sebesar } 10 \text{ volt/mm}$

$$V(t) = 10 \text{ volt/mm} \cdot Y(t)$$

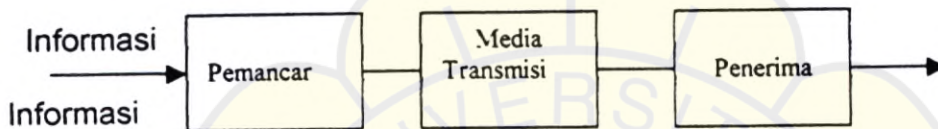
$$\frac{V}{Y} = 10 \text{ volt/mm}$$

Maka fungsi transfer akhir adalah :

$$\frac{V}{X_1} = 10 \cdot \frac{-s^2}{s^2 + \frac{B}{m}s + \frac{k}{m}} \quad (2.9)$$

2.9. Teknik Transmisi

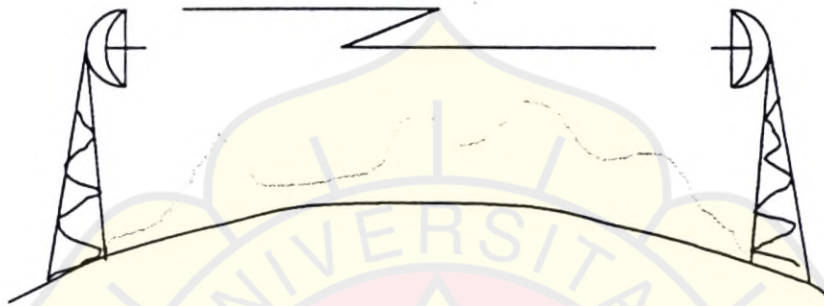
Dalam transmisi radio, propagasi gelombang antara stasiun pemancar (Tx) dan stasiun penerima (Rx) harus point to point dan bebas dari segala macam rintangan / halangan seperti gedung, pohon, perbukitan dan sebagainya. Kondisi semacam ini disebut line of sight (bebas pandang) ⁽⁴⁾ .



Gambar 2.13. Elemen dasar transmisi radio

Pada sistem line of sight perlu diperhatikan lengkungan bumi dan gangguan yang disebabkan oleh adanya rintangan-rintangan pada lintasannya. Untuk mendapatkan keadaan line of sight maka dibuat antena pemancar dan penerima yang relatif cukup tinggi sekitar 10 m – 100 m, dan jarak antara keduanya relatif cukup pendek sekitar 10 km – 100 km. Penampilan dari sistem line of sight dipengaruhi oleh beberapa faktor seperti redaman ruang bebas, kondisi daerah lintasan dan pengaruh atmosfer berupa hujan dan pada frekuensi di atas 1 Ghz terdapat redaman oleh gas. Sehingga pada propagasi line of sight rugi-rugi daya yang disebabkan oleh fading berupa refleksi, difraksi dan block akan

menentukan besarnya level sinyal pada penerima. Gambar dibawah ini menunjukkan konfigurasi dasar dari sistem line of sight.



Gambar 2.14. Konfigurasi line of sight

Keuntungan dari sistem line of sight adalah komunikasi yang tidak menggunakan saluran fisik seperti kabel dan atenuasi total transmisi radio lebih kecil daripada dengan transmisi kabel ^[3]. Kehilangan daya pada sistem line of sight adalah sebesar :

$$L = \frac{P_i}{P_o} = \frac{1}{GT_x GR_x} \left[\frac{4\pi d}{\lambda} \right]^{-1/2} \quad (3.0)$$

keterangan:

P_i : daya penerima

P_o : daya pemancar

GT_x : penguatan daya pada antena pemancar

- GRx : penguatan daya pada antena penerima
- 1 : jarak antara antena pemancar dan penerima
- λ : panjang gelombang radio

