

RANCANG BANGUN PENGUJI RANGKAIAN LOGIKA BERBANTUAN PC

Tugas Akhir

diajukan untuk memenuhi persyaratan
guna memperoleh gelar
Sarjana Strata Satu

oleh:

DARMANANDA DJAIE

NIM : 89210001



**FAKULTAS TEKNIK JURUSAN TEKNIK ELEKTRO
UNIVERSITAS DARMA PERSADA
JAKARTA
1994**

**RANCANG BANGUN
PENGUJI RANGKAIAN LOGIKA
BERBANTUAN PC**


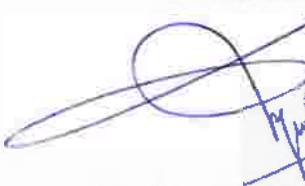
Tugas Akhir ini
telah diterima dan disahkan sebagai salah satu syarat
untuk memperoleh gelar sarjana strata satu
Jurusan Teknik Elektro
Program Studi Komputer

oleh

DARMANANDA DJAIE
NIM : 8 9 2 1 0 0 0 1
NIRM : 893123700250001

Jakarta, September 1994

Mengetahui,



Ir. Agus Sun Sugiharto
Ketua Jurusan

Menyetujui,



Dr. Henry Kartarahardja, Dipl. Inf.
Pembimbing

PERNYATAAN KEASLIAN TUGAS AKHIR

Yang bertanda tangan di bawah ini:

Nama : Darmananda Djaie

NIM : 89210001

NIRM : 893123700250001

menyatakan bahwa sejauh yang saya ketahui, Tugas Akhir ini bukan merupakan duplikasi Tugas Akhir yang sudah pernah dipublikasikan atau diajukan untuk mendapatkan gelar keserjanaan pada universitas lain, kecuali pada bagian-bagian dimana sumber informasi dicantumkan dengan cara referensi yang semestinya.

Jakarta, September 1994

Yang Menyatakan,




Darmananda Djaie.

ABSTRAK

- (A) Nama : Darmananda Djaie
(B) NIM/NIRM : 89210001/893123700250001
(C) Judul Tugas Akhir : PENGUJI RANGKAIAN LOGIKA
DENGAN MENGGUNAKAN PC XT/AT
(D) Jumlah Halaman : xiii+101; gambar:30; tabel:6
(E) Kata Kunci : *printer adapter*, rangkaian logika.
(F) Penjelasan :

Tujuan dari tugas akhir ini adalah membuat suatu sistem, yang terdiri dari perangkat lunak dan perangkat keras, untuk menguji suatu rangkaian logika dengan memanfaatkan fasilitas yang tersedia pada IBM PC XT/AT atau kompatibelnya. Perangkat keras yang dibuat berfungsi sebagai perantara antara komputer dan rangkaian yang diuji, sedangkan perangkat lunak berfungsi sebagai pengatur proses pengujian. Sistem ini diharapkan dapat menjadi alternatif yang lebih baik dan lebih menarik untuk menguji suatu komponen atau rangkaian logika.

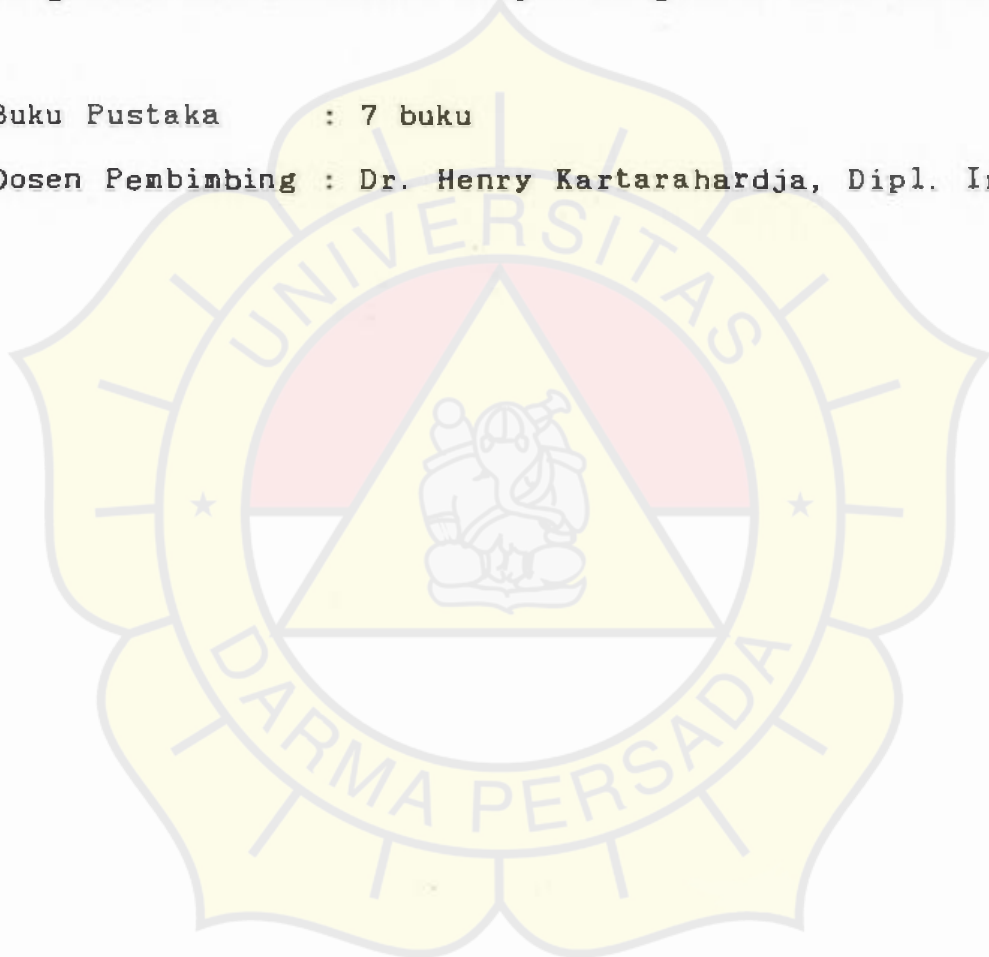
Dalam sistem ini digunakan port paralel printer adapter untuk memberikan stimulus sinyal digital ke input rangkaian yang diuji serta menerima output dari rangkaian yang diamati. Dari proses input/output tersebut maka komputer bisa memberikan informasi menge-

nai baik/buruknya suatu komponen/rangkaian logika serta menampilkan tabel kebenaran atau diagram pewaktu.

Berdasarkan uji coba yang dilakukan terhadap sistem ini, penguji rangkaian logika ini cukup dapat diandalkan ketelitian dan kecepatannya, baik terhadap rangkaian kombinasional maupun rangkaian sekuensial.

(G) Buku Pustaka : 7 buku

(H) Dosen Pembimbing : Dr. Henry Kartarahardja, Dipl. Inf.



KATA PENGANTAR

Penulis mengucapkan puji dan syukur ke hadapan Tuhan Yang Maha Esa atas segala berkat dan KaruniaNya sehingga tugas akhir dengan judul "RANCANG BANGUN PENGUJI RANGKAIAN LOGIKA BERBANTUAN PC" dapat terwujud.

Tugas akhir ini disusun sebagai salah satu syarat dalam menyelesaikan jenjang pendidikan sarjana strata satu pada Fakultas Teknik jurusan Teknik Elektro di Universitas Darma Persada.

Dalam menyelesaikan tugas akhir ini, penulis telah banyak dibantu oleh berbagai pihak. Oleh karena itu, penulis ingin menyampaikan rasa terima kasih yang setulusnya kepada:

1. Bapak Dr. Henry Kartarahardja, Dipl. Inf, selaku pembimbing tugas akhir.
2. Bapak Ir. John Suraputra selaku Dekan Fakultas Teknik Universitas Darma Persada.
3. Bapak Ir. Agus Sun Sugiharto selaku Ketua Jurusan Elektro Fakultas Teknik Universitas Darma Persada.
4. Bapak Drs. Yohannes Siregar, M.Ed selaku Kepala Laboratorium Komputer.
5. Rekan-rekan di Himpunan Mahasiswa Elektro Universitas Darma Persada (HIMELDA).
6. Segenap Dosen dan Karyawan Fakultas Teknik.

7. Semua pihak yang telah membantu proses penyelesaian tugas akhir ini, khususnya kepada Ir. Rudy Suwandy yang telah banyak memberikan bantuan serta saran kepada penulis.

Penulis juga ingin mempersembahkan tugas akhir ini kepada ayah, ibu, kakak serta adik-adik penulis, karena berkat dorongan dan doa merekalah maka penulis dapat menyelesaikan tugas akhir ini.

Ada pepatah mengatakan 'Tiada gading yang tak retak'. Demikian pula, penulis menyadari bahwa penulisan tugas akhir ini masih memiliki kekurangan dan kelemahan. Oleh karena itu, penulis akan merasa sangat berterima kasih terhadap saran dan kritik yang penulis terima.

Semoga tugas akhir ini dapat bermanfaat bagi semua pihak.

Jakarta, September 1994

Penyusun,



Darmananda Djaie

DAFTAR ISI

	Hlm.
ABSTRAK.....	iv
KATA PENGANTAR.....	vi
DAFTAR ISI.....	viii
DAFTAR GAMBAR.....	xi
DAFTAR T A B E L.....	xiii
BAB I PENDAHULUAN.....	1
1.1 Latar Belakang.....	1
1.2 Tujuan dan Manfaat.....	3
1.2.1 Tujuan.....	3
1.2.2 Manfaat.....	4
1.3 Pembatasan Masalah.....	4
1.4 Sistematika Pembahasan.....	5
BAB II TEORI PENUNJANG.....	6
2.1 Konsep Dasar Rangkaian Digital.....	6
2.2 Rangkaian Logika.....	7
2.2.1 Rangkaian Kombinasional.....	7
2.2.2 Rangkaian Sekuensial.....	7
2.3 Rangkaian TTL.....	8
2.3.1 Jenis IC TTL.....	8
2.3.2 Karakteristik TTL.....	9
2.4 Sistem Bus.....	10
2.4.1 Saklar Tiga Keadaan.....	11

2.4.2 Bus Buffer.....	12
2.4.3 D-Latch.....	14
2.4.4 Dekoder.....	15
2.5 Pengalamatan Port I/O.....	17
2.6 <i>Parallel Printer Adapter</i>	19
2.6.1 Blok Diagram dan Prinsip Kerja.....	19
2.6.2 Konektor Printer.....	20
2.6.3 Alamat Port untuk Pemrograman.....	22
BAB III PRINSIP KERJA DAN RANCANGAN SISTEM.....	24
3.1 Blok Diagram dan Prinsip Kerja Sistem.....	24
3.2 Perangkat Keras.....	25
3.2.1 Konektor Printer.....	26
3.2.2 Dekoder.....	27
3.2.3 <i>Latches</i>	29
3.2.4 <i>Bus Buffer</i>	31
3.2.5 Proses Pengiriman Data.....	32
3.2.6 Proses Penerimaan Data.....	33
3.3 Perangkat Lunak.....	34
3.3.1 Bahasa Pemrograman.....	34
3.3.2 Input/Output dalam Pemrograman.....	35
3.3.3 Rancangan Program.....	38
3.3.3.1 Program Utama.....	39
3.3.3.2 <i>Sub-routine</i> Input/Output Secara Otomatis.....	40
3.3.3.3 <i>Sub-routine</i> Uji Rangkaian Logika.....	42
3.3.3.4 <i>Sub-routine</i> Lihat Data Rangkaian Logika.....	43
3.3.3.5 <i>Sub-routine</i> Tulis/Tambah Data Input/Output...	44

3.3.3.6 <i>Sub-routine</i> Membuat Tabel Kebenaran.....	48
3.3.3.7 <i>Sub-routine</i> Membuat Diagram Pewaktuan.....	51
BAB IV PEMBUATAN ALAT DAN PENGUJIAN SISTEM.....	54
4.1 Pembuatan dan Perakitan PCB.....	54
4.1.1 Komponen dan Peralatan yang Digunakan	54
4.1.2 Pembuatan PCB.....	55
4.1.3 Perakitan Alat.....	57
4.1.4 Pengujian Alat.....	57
4.2 Penggunaan dan Pengujian Sistem.....	61
4.2.1 Prosedur Penggunaan Sistem.....	61
4.2.2 Metode Penggunaan Sistem.....	63
4.2.3 Pengujian Rangkaian Logika.....	64
4.2.4 Melihat Tabel Kebenaran.....	64
4.2.5 Melihat Diagram Pewaktuan.....	66
BAB V KESIMPULAN.....	68
DAFTAR PUSTAKA.....	70
LAMPIRAN 1 SKEMA RANGKAIAN PERANTARA.....	71
LAMPIRAN 2 DAFTAR KOMPONEN.....	72
LAMPIRAN 3 DATA KOMPONEN.....	73
LAMPIRAN 3 LISTING PROGRAM	79

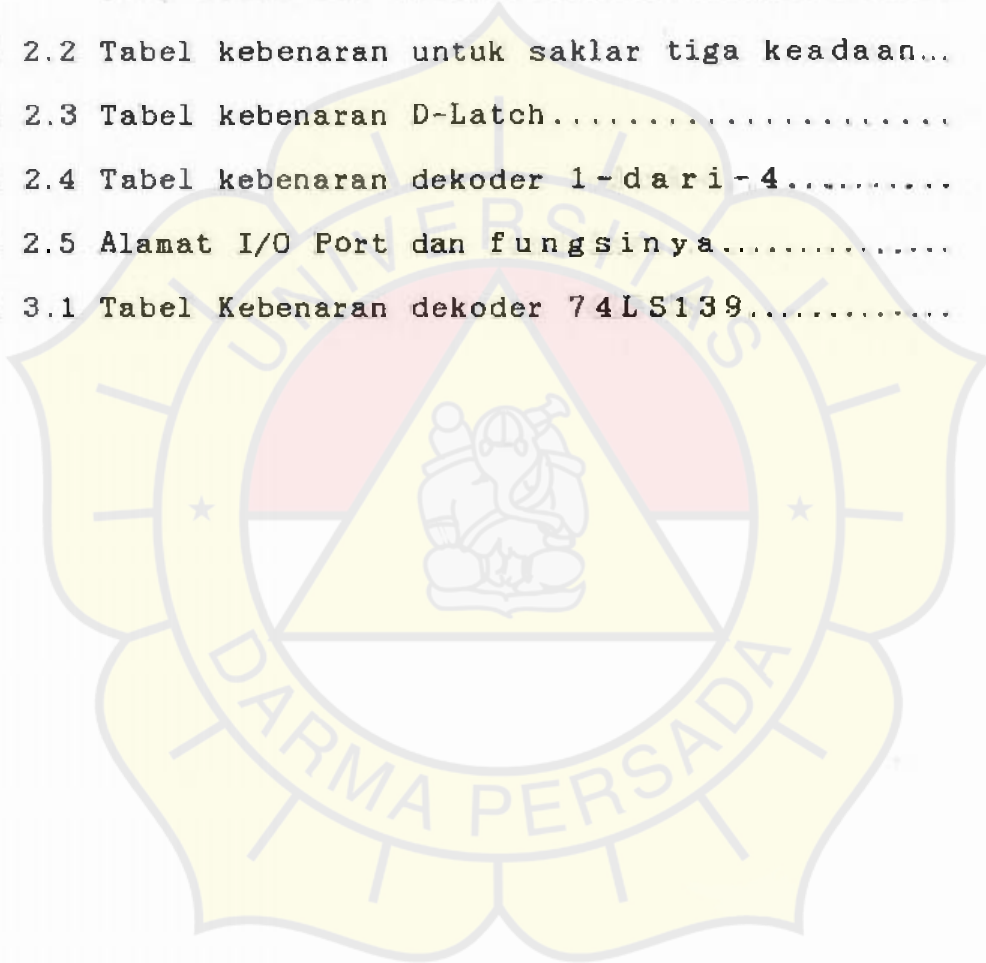
DAFTAR GAMBAR

	Hlm.
Gambar 2.1 Saklar Tiga Keadaan.....	11
Gambar 2.2 Pemakaian gerbang tiga keadaan (<i>tri-state gate</i>) pada bus data.....	13
Gambar 2.3 Rangkaian dasar D-Latch.....	14
Gambar 2.4 Rangkaian dekoder 1-dari-4.....	15
Gambar 2.5 Blok diagram <i>Printer Adapter</i>	19
Gambar 2.6 Konektor 25 Pin pada <i>printer adapter</i>	21
Gambar 2.7 Spesifikasi konektor <i>printer adapter</i>	21
Gambar 3.1 Blok diagram sistem.....	24
Gambar 3.2 Blok diagram perangkat keras.....	25
Gambar 3.3 Rangkaian dekoder dengan IC 74LS139.....	28
Gambar 3.4 Rangkaian <i>Latches</i>	30
Gambar 3.5 <i>Bus Buffer</i>	32
Gambar 3.6 Pengisian data kendali.....	37
Gambar 3.7 Diagram alir program utama.....	39
Gambar 3.8 Diagram alir <i>sub-routine</i> Input/Output Otomatis.....	41
Gambar 3.9 Diagram alir <i>sub-routine</i> pengujian IC....	45
Gambar 3.10 Diagram alir <i>sub-routine</i> melihat database.....	46
Gambar 3.11 Diagram alir <i>sub-routine</i> menambah database.....	47

Gambar 3.12 Diagram alir <i>sub-routine</i> membuat tabel kebenaran.....	49
Gambar 3.13 Diagram alir <i>sub-routine</i> mencetak informasi bit.....	50
Gambar 3.14 Diagram alir <i>sub-routine</i> membuat diagram pewaktuan.....	53
Gambar 4.1 <i>Layout</i> PCB rangkaian sisi atas.....	56
Gambar 4.2 <i>Layout</i> PCB rangkaian sisi bawah.....	56
Gambar 4.3 Diagram alir pengujian perangkat keras...	58
Gambar 4.4 Perangkat keras penguji rangkaian logika.	61
Gambar 4.5 Tampilan layar menu perangkat lunak.....	63
Gambar 4.6 Hasil pengujian terhadap IC 74LS00.....	65
Gambar 4.7 Tabel Kebenaran dari IC 74LS00.....	65
Gambar 4.8 Diagram Pewaktuan dari IC 74LS138.....	66
Gambar 4.9 Diagram Pewaktuan dari IC 74LS373.....	67

DAFTAR TABEL

	Hlm.
Tabel 2.1 Spesifikasi tingkat logika keluarga TTL, LSTTL dan CMOS.....	9
Tabel 2.2 Tabel kebenaran untuk saklar tiga keadaan...	11
Tabel 2.3 Tabel kebenaran D-Latch.....	14
Tabel 2.4 Tabel kebenaran dekoder 1-dari-4.....	16
Tabel 2.5 Alamat I/O Port dan fungsinya.....	18
Tabel 3.1 Tabel Kebenaran dekoder 74LS139.....	28





BAB I

PENDAHULUAN

1.1 Latar Belakang

Mereka yang sering berhubungan dengan suatu rangkaian atau komponen logika, seperti misalnya para teknisi ataupun mahasiswa jurusan elektro, seringkali perlu melakukan pengujian terhadap rangkaian logika ataupun komponen yang membangun rangkaian tersebut. Pengujian ini bisa dilakukan di dalam proses pencarian kesalahan (*trouble shooting*) dari sistem yang diamati ataupun hanya untuk memastikan bahwa suatu komponen ataupun rangkaian logika bekerja sebagaimana mestinya. Selain itu, bagi seorang mahasiswa elektro tingkat awal, pengujian ini mungkin dilakukan untuk mempelajari atau menganalisis cara kerja suatu rangkaian logika pada saat melaksanakan Praktikum Rangkaian Logika.

Untuk menguji suatu komponen/rangkaian logika biasanya diberikan stimulus berupa sinyal logik yang bervariasi nilainya pada masukan dari komponen/rangkaian logika bersangkutan. Kemudian, akan dilakukan analisis terhadap output yang diperoleh sebagai akibat dari input yang dimasukkan sebelumnya.

Agar nilai input yang diberikan dapat diubah dengan mudah, maka antara lain digunakan saklar *on/off* yang bisa memberikan dua nilai logika seperti yang dikehendaki.

Dengan cara ini sebuah saklar mewakili sebuah bit input. Dengan demikian, untuk memberikan n bit input logik dibutuhkan sejumlah n buah saklar. Status logika dari input yang diberikan dapat diatur dengan menekan saklar-saklar yang bersangkutan sesuai nilai yang dikehendaki.

Sistem pengujian yang digambarkan di atas banyak dilakukan secara manual, sehingga penulis menyebutnya sistem manual. Dalam sistem pengujian manual ini terdapat kelemahan-kelemahan, yaitu antara lain:

- a. Untuk menguji suatu rangkaian ataupun komponen digital secara manual, dengan cara memasukkan input yang bervariasi untuk kemudian mengambil kesimpulan berdasarkan output yang dilihat, akan memakan waktu relatif lama.
- b. Bagi sementara orang, sistem pengujian secara manual relatif kurang menyenangkan, apalagi bila pekerjaan tersebut harus dilakukan secara berulang-ulang terhadap banyak komponen atau rangkaian logika.
- c. Baik/buruknya suatu komponen atau rangkaian logika harus ditentukan atau disimpulkan sendiri oleh penguji.

Menperhatikan kelemahan cara pengujian secara manual di atas, penulis mencoba mencari alternatif lain untuk menguji input/output suatu komponen/rangkaian dengan memanfaatkan fasilitas yang tersedia dalam suatu PC (*Personal Computer*).

Penggunaan PC ini dimungkinkan karena komputer telah menyediakan *port I/O* yang dapat dimanfaatkan untuk berhubungan dengan peralatan di luar komputer. Melalui *port I/O*

ini komputer dapat mengirim dan menerima data dari luar. Dan alasan yang lebih mendukung penulis untuk mempergunakan komputer adalah karena data yang dapat dikirim dan diterima komputer tersebut adalah berupa data digital/logik. Dengan demikian, penggunaan komputer cocok untuk menguji rangkaian/komponen logika.

Pada sistem ini penulis menggunakan port paralel *printer adapter* dan tidak membuat suatu kartu (*card*) tambahan yang harus diselipkan pada slot ekspansi komputer, karena dengan memanfaatkan kartu *printer adapter* ini, tidak lagi diperlukan kartu tambahan tersebut. Selain itu, dengan pemanfaatan port printer, kemungkinan rusaknya *board* sistem komputer lebih kecil dibandingkan penggunaan kartu tambahan. Jika kartu tambahan dipasang pada slot ekspansi, maka rangkaian yang dibuat berhubungan langsung dengan rangkaian pada *board* sistem komputer. Hal ini bisa saja berakibat fatal pada komputer bila terjadi kesalahan perancangan atau pembuatan rangkaian pada kartu tambahan itu.

1.2 Tujuan dan Manfaat

1.2.1 Tujuan

Tujuan dari pembuatan tugas akhir ini adalah untuk membuat suatu sistem, yang terdiri dari perangkat lunak dan perangkat keras, untuk menguji rangkaian logika dengan memanfaatkan fasilitas yang tersedia pada IBM PC XT/AT atau kompatibelnya.

1.2.2 Manfaat

Manfaat yang diperoleh dari pembuatan tugas akhir ini adalah:

- Adanya pengembangan pemanfaatan komputer, khususnya *printer adapter*, untuk kebutuhan praktis.
- Diperolehnya alternatif lain untuk menguji rangkaian logika selain sistem pengujian yang telah ada.
- Dengan biaya pembuatan yang relatif murah, sistem yang dibuat dapat digunakan sebagai salah satu alat bantu di dalam laboratorium rangkaian logika atau *workshop* untuk melakukan pengujian dan analisis rangkaian logika.

1.3 Pembatasan Masalah

Untuk membatasi masalah dalam tugas akhir ini, ada beberapa hal yang perlu disebutkan, yaitu:

1. Sistem memanfaatkan port paralel *printer adapter* yang terdapat pada IBM PC XT/AT atau kompatibelnya.
2. Komponen digital yang diuji adalah yang termasuk keluarga TTL (*Transistor-transistor Logic*).
3. Pengujian yang dilakukan hanya menyangkut nilai logika (1 atau 0) dari input/output rangkaian yang diuji.
4. Banyaknya saluran output/input ke/dari rangkaian yang diuji masing-masing dibatasi sampai 8 saluran saja.
5. Pengujian otomatis terhadap baik/buruknya IC digital/rangkaian logika hanya dilakukan pada rangkaian kombinasional saja.

1.4 Sistematika Pembahasan

Untuk memberikan gambaran yang jelas mengenai urutan atau sistematika pembahasan dalam penyusunan tugas akhir ini, maka penulis menyusun tugas akhir ini dengan sistematika sebagai berikut:

BAB I meliputi latar belakang, tujuan dan manfaat tugas akhir, pembatasan masalah dan sistematika pembahasan. Hal-hal yang dibahas pada bab pertama ini merupakan dasar dari terbentuknya tugas akhir ini.

BAB II menjelaskan teori-teori yang menunjang pembuatan tugas akhir ini. Teori-teori yang dimaksud di sini menyangkut pembahasan singkat mengenai rangkaian logika dan jenisnya, IC TTL, organisasi bus, input/output pada suatu PC dan khususnya tinjauan mengenai *printer adapter card* yang akan digunakan sebagai sarana I/O ke peralatan luar.

BAB III membahas prinsip kerja dan rancangan dari sistem yang akan dibuat. Di sini akan dijelaskan prinsip kerja sistem, rancangan perangkat keras serta mengenai perangkat lunak (program) yang dibuat.

BAB IV menjelaskan pembuatan perangkat keras serta pengujian sistem.

BAB V membahas kesimpulan.